# 最新四位十进制频率计设计EDA实验报告(五篇)

来源：网络 作者：平静如水 更新时间：2024-07-19

*随着社会一步步向前发展，报告不再是罕见的东西，多数报告都是在事情做完或发生后撰写的。那么报告应该怎么制定才合适呢？下面是我给大家整理的报告范文，欢迎大家阅读分享借鉴，希望对大家能够有所帮助。四位十进制频率计设计EDA实验报告篇一一、实验目的...*

随着社会一步步向前发展，报告不再是罕见的东西，多数报告都是在事情做完或发生后撰写的。那么报告应该怎么制定才合适呢？下面是我给大家整理的报告范文，欢迎大家阅读分享借鉴，希望对大家能够有所帮助。

**四位十进制频率计设计EDA实验报告篇一**

一、实验目的

1、掌握多位计数器相连的设计方法。

2、掌握十进制，六进制，二十四进制计数器的设计方法。

3、掌握扬声器的驱动及报时的设计。

4、led灯的花样显示。

5、掌握cpld技术的层次化设计方法。

二、实验器材

1、主芯片altera epf10k10lc84-4。2、8个led灯。

3、扬声器。4、4位数码显示管。5、8个按键开关（清零，调小时，调分钟）。

三、实验内容

根据电路特点，运用层次设计概念设计。将此设计任务分成若干模块，规定每一模块的功能和各模块之间的接口。

1、时计时程序： library ieee;use ;use ;

entity hour is

port(reset,clk : in std\_logic;

daout : out std\_logic\_vector(7 downto 0));end hour;

architecture behav of hour is

signal count : std\_logic\_vector(3 downto 0);signal counter : std\_logic\_vector(3 downto 0);begin

p1: process(reset,clk)

begin

if reset=\'0\' then

countlamplamplamplamplamplamplamplamplamplampdaoutdaoutdaoutdaoutdaoutdaoutdaoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdoutdout>1)-1))//注意分频数的计算公式

begin

counter if w1=\'1\' then state if w2=\'1\' then state if w3=\'1\' then state if w2=\'1\' then state=40 then numa=30 then numa=20 then numa=10 then numa=40 then numc=30 then numc=20 then numc=10 then numcsegoutsegoutsegoutsegoutsegoutsegoutsegoutsegoutsegoutnull;end case;end if;end process;end;5.5.2 黄灯驱动

library ieee;use ;entity hqudong is port(clk:in std\_logic;enable :in std\_logic;data:in integer range 0 to 5;segout: out std\_logic\_vector(6 downto 0));end;architecture behavior of hqudong is begin process(clk,data)begin if falling\_edge(clk)and enable=\'1\' then case data is when 0=>segoutsegoutsegoutsegoutsegoutsegoutnull;end case;end if;end process;end;

、整个系统的构成及仿真图

图（18）

图（19）

结果说明：在图18 中，绿灯计数器直接接分位译码器1，红灯计数器直接接分位译码器2，每个译码器分别接两个驱动电路，然后接输出。左边5 个驱动器接的数码管显示的是甲车道各个灯亮的时间，右边5 个驱动器接的数码管显示的是乙车道各个灯亮的时间。在19 图中可以看出甲车道绿灯亮的时间加上黄灯亮

乙车道红灯亮的时间，乙车道绿灯亮的时间加上黄灯亮的时间等于甲车道红灯亮的时间。与此同时具有灯亮时间计数显示，可以看出该系统满足我们所需的要求。

7、心得体会

一段时间的eda课程设计，使我们学到了很多，本次课程设计的交通灯所需底层模块很多，其实现的vhdl语言程序较多，整个过程中调试程序是很重要的，要有很好的耐心，开始编译时总是会有很多错误，比如输入错误、语法错误等，发现错误之后再一遍一遍的仔细查错，直到没有错误，然后进行波型仿真。现在，对eda 的认识有了很大的提高，能够熟练的使用quartsii，能够用vhdl 语言编写简单的、实用的小程序，这次eda 课程设计重点学习了交通灯部分程序的编写、调试、还有硬件下载、操作等过程。在整个课程设计的过程中，我们查阅了大量的关于eda 的资料，特别是在网上和图书馆我找到了大量的关于硬件编程的资料。在李敏老师平时认真的授课及严格的治学态度下，让我有了一定的基础，同时还得感谢老师在实验课上的细心指导，让我们学到了很多，受益终生。

【参考文献】

[1] 潘松, 技术实用教程[m] 第2版 北京: 科学出版社, 2024 [2] 曹昕燕，周凤臣，技术实验与课程设计 北京：清华大学出版社，2024.5

**四位十进制频率计设计EDA实验报告篇五**

eda

多 功 能 数 字 时 钟

专业：11级应用电子技术 班级：二班

学号：110372021307 姓名：贺成林 指导老师：祝宏

日期：2024年6月29日

一、实验目的

1、课程设计是一实践教学环节，是针对《数字电子技术》课程的要求，结合实践对学生进行综合设计性训练，在自学和实践训练中培养学生理论联系实践和实践动手能力，独立地解决实际问题能力。

2、通过课程设计是使学生熟悉和了解可编程专用数字逻辑电路的设计、开发流程，熟悉和了解现代eda设计工具，掌握数字电子系统层次化的设计方法。

已知条件：max+plus软件

基本功能：

1、以数字形式显示时、分、秒的时间；

2、小时计数器为24进制；

3、分秒计数器为60进制。

二、实验要求、综合应用《数字电子技术基础》课程中的理论知识去独立地完成一个设计课题；

2、熟悉和了解现代eda设计、编程、编译、仿真及下载技术的全过程。

三、eda 技术介绍

1、eda 技术概况

eda 是电子设计自动化（electronic design automation）的缩写，在 20 世 纪 90 年代初从计算机辅助设计（cad）、计算机辅助制造（cam）、计算机辅助测试（cat）和计算机辅助工程（cae）的概念发展而来的。eda 技术就是以计算机为工 具，设计者在 eda 软件平台上，用硬件描述语言 hdl 完成设计文件，然后由计算机 自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真，直至对于特 定目标芯片的适配编译、逻辑映射和编程下载等工作。eda 技术的出现，极大地提 高了电路设计的效率和可\*性，减轻了设计者的劳动强度。

2、altera quartus ii 软件介绍

quartus ii 是 altera 公司的综合性 pld 开发软件，支持原理图、vhdl、veriloghdl 以及 ahdl（altera hardware description language）等多种 设计输入形式，内嵌自有的综合器以及仿真器，可以完成从设计输入到硬件 配置的完整 pld 设计流程。

四、关键词

数字计数器、动态显示、快速校分、整点报时、时段控制。

五、实验步骤

1、秒计数器是60进制的。当下面的74161到9时等下一个脉冲来是向上面的74161计数，到5时将两个74161共同预置。从而实现00—59秒的计数功能。

电路图如下：

进行编译及波形仿真，如下图： 将上述文件保存并打包，如图：

2、分计数器是60进制的。功能如秒计数器。其电路图如下：

波形图仿真及打包图如下:

3、小时计数器是24进制的。当下面的74161到9时等下一个脉冲来是向上面的74161计数。但是等到上面的记到2时下面的将不能超过4，所以等上面的记到2，下面的记到4时就将两个74161共同预置。从而实现00—24秒的计数功能。

原理图如下：

仿真的波形图及打包的文件图如下：

4、校时。校时是通过加快时分的计数速度来快速校准时间的。实际上我们把秒脉冲cps加到分计数和时计数上，是他们加快计数速度。所以其中我们需要通过开关来选择。

原理图及打包图如下：

5、时段控制：时段控制是通过7485集成电路的数据比较来控制的。

原理图及打包图如下：

6、整点报时：整点报时是通过整点时的二进制数据规律来报时的。

原理图及打包图如下：

7、将时分秒打包文件连成多功能数字电路图如下：

8、多功能数字钟硬件测试原理图如下：

9、部分制作过程图，如下：

六、实验工具

装有quartusⅱ软件的电脑，eda开发板，相关eda设计方面的书籍。

七、设计中遇到问题及解决方法

1、实验后期的引脚分配及下载方法不当，实验所用电脑没有

quartus11.0 的 驱动。耗费时间较多。解决方法：参阅西安电子科技大学出版社出版的《数字电路设计及 verilog hdl 实现》第 394 页关于引脚分配和下载验证的介绍；

2、下载验证过程中时段控制部分有错误，原代码在软件上仿真没有错误，但是下载到实验板验证时，出现错误。解决方法：通过去请教同学及查阅相关资料得到解决。

八、特点和实用性

利用 quartusii 软件，结合所学的数字电路的知识设计一个 24 时多功能数 字钟，具有正常分、秒计时，动态显示、快速校分、整点报时、时段控制的功能。分析整个电路的工作原理，分别说明各子模块的设计原理和调试、仿真、编 程下载的过程，并对最终结果进行总结，最后提出在实验过程中出现的问题和解 决的方案。通过实验掌握一些逻辑组合器件的基本功能和用法，同时体会利用软件设计 电路的方便快捷，避免硬件布线的繁琐，提高效率。

九、心得体会

1、设计必须要有整体概念，提前熟悉软件。刚开始时没头绪，不知道该怎 样分块，进度很慢，加上对软件不是很熟悉，比如：封装要注意哪些，哪些不能 运行，哪些是不正确的操作等等，走了很多冤枉路。

2、设计的模块要分块调试，免得等所有都完工了再调试出错，那样的话很 难确定是什么出错，更加没头绪。有必要的话做一部分后就送到平台上调试，这 样会大大减少出错率。

3、没有硬件软件化的概念，开始设计时没有总体的规划，不知道什么是可行 的，什么是封装，怎样使搭配组合最优化。

4、遇到问题先自己摸索，查阅资料要有技巧，避免没有目的和思路。明白 自己要解决什么问题。同时请教老师，和同学交流。良好的沟通很重要。针对本次的毕业设计，用我国著名的数学家的话概括一下我的感受： “科学上没有平坦的大道，真理长河中有无数礁石险滩。只有不为畏攀登的采药者，只有不怕 巨浪的弄潮儿，才能登上高峰采得仙草，深入水底觅得骊珠。”

十、参阅教材及文献

1、蒋立平编著《数字电路》.南京理工大学翻印；

2、南京理工大学电子技术中心编著.《eda 设计实验指导书》 南京理工大学，2024 年；

3、谭会生，张昌凡.《eda 技术及应用》.西安电子科技大学出版社，2024年；

4、《数字电路设计及 verilog hdl 实现》 西安电子科技大学出版社出版；

5、《电子线路实验设计与仿真讲义》。

本文档由站牛网zhann.net收集整理，更多优质范文文档请移步zhann.net站内查找